

SUSU-1-21795

DELPHION

Select (R)

Stop Tracking

RESEARCH

PRODUCTS

INSIDE DELPHION

Log Out Work Files Saved Searches

My Account

Search: Quick/Number Boolean Advanced Derwent Help

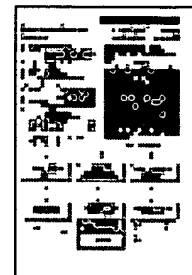
The Delphion Integrated View

Get Now: ☒ PDF | [File History](#) | [Other choices](#)Tools: Add to Work File: View: [INPADOC](#) | Jump to: [Top](#)☐ [Email this to a friend](#)Title: **JP05108496A2: PATROL CONTROL SYSTEM**Country: **JP Japan**Kind: **A**Inventor: **MASUMOTO KENZO;**Assignee: **NEC CORP**
[News, Profiles, Stocks and More about this company](#)Published / Filed: **1993-04-30 / 1991-10-18**Application Number: **JP1991000298154**IPC Code: Advanced: **G06F 11/10; G06F 11/30; G06F 12/16;**
Core: more...
IPC-7: **G06F 11/10; G06F 11/30; G06F 12/16;**Priority Number: **1991-10-18 JP1991000298154**

Abstract: PURPOSE: To suppress computer system's performance deterioration due to patrol operation in a patrol control system acting as a counter measure against storage device's software error.

CONSTITUTION: A patrol control part 30 decides time intervals between patrol operations based upon the content of a usable information register 15 (the number of usable memory modules) or that of a mounting information register 20 (the number of mounted memory modules). In addition, it decides the memory module that performs patrol operation based upon the content of the usable information register 15. Then, it reads data out of a memory array 1 and makes an ECC error correction circuit 10 execute error correction with the read out data according to error correction codes. Further, it makes an ECC generation circuit 6 add the error correction codes to that read-out data having been subjected to the error correction and then it is re-written into the original address, patrol operation thus completes. The patrol operation is performed for all the address of memory modules decided as above at the time intervals decided as above.

COPYRIGHT: (C)1993,JPO&Japio

Family: **None**Other Abstract Info: **None**[Nominate this for the Gallery...](#)[View Image](#)

1 page

THOMSON

Copyright © 1997-2006 The Thomson Corporation

[Subscriptions](#) | [Web Seminars](#) | [Privacy](#) | [Terms & Conditions](#) | [Site Map](#) | [Contact Us](#) | [Help](#)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-108496

(43)公開日 平成5年(1993)4月30日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/16	3 2 0 K	7629-5B		
11/10	3 3 0 K	7313-5B		
11/30	3 1 0 M	8725-5B		

審査請求 未請求 請求項の数3(全 8 頁)

(21)出願番号 特願平3-298154

(22)出願日 平成3年(1991)10月18日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 増本 健三

東京都港区芝五丁目7番1号 日本電気株式会社内

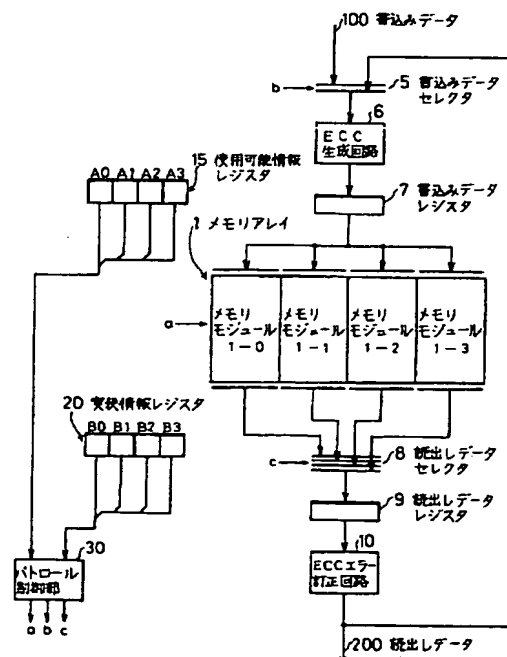
(74)代理人 弁理士 境 廣巳

(54)【発明の名称】 バトロール制御方式

(57)【要約】

【目的】 記憶装置のソフトエラー対策であるバトロール制御方式に於いて、バトロール動作によるコンピュータシステムの性能低下を低く抑える。

【構成】 バトロール制御部30はバトロール動作を行う時間間隔を使用可能情報レジスタ15の内容(使用可能なメモリモジュールの数)或いは実装情報レジスタ20の内容(実装されているメモリモジュールの数)に基づいて決定し、バトロール動作を行うメモリモジュールを使用可能情報レジスタ15の内容に基づいて決定する。そして、バトロール制御部30はメモリアレイ1からデータを読み出し、読み出したデータに対してECCエラー訂正回路10でエラー訂正符号に従ったエラー訂正を行い、エラー訂正を行った読み出しデータにECC生成回路でエラー訂正符号を付加して元のアドレスに再書き込みするバトロール動作を、上記決定したメモリモジュールの全アドレスに対して上記決定した時間間隔で順次行う。



【特許請求の範囲】

【請求項1】 複数のメモリモジュールと、

該メモリモジュールに対する書込みデータにエラー訂正符号を付加して前記メモリモジュールに書込むエラー訂正符号付加手段と、

前記メモリモジュールから読出されたデータに対してエラー訂正符号に従ったエラー訂正を行ない、出力するエラー訂正手段と、

バトリール動作を制御するバトリール制御手段とを備え、

該バトリール制御手段は前記メモリモジュールからデータを読出して前記エラー訂正手段に加え、前記エラー訂正手段から出力されたデータを前記エラー訂正符号付加手段に加えて元のアドレスに再書込みさせるバトリール動作を前記各メモリモジュールの全アドレスにわたって順次周期的に行なうことを特徴とするバトリール制御方式。

【請求項2】 前記各メモリモジュールが使用可能であるか否かを示す情報が格納される使用可能情報記憶手段を備え、

前記バトリール制御手段はバトリール動作を前記使用可能情報記憶手段に使用可能であることを示す情報が格納されているメモリモジュールの全アドレスにわたって順次周期的に行なうことを特徴とする請求項1記載のバトリール制御方式。

【請求項3】 実装されているメモリモジュールを示す情報が格納される実装情報記憶手段を備え、

前記バトリール制御手段は前記実装情報記憶手段或いは前記使用可能情報記憶手段の内容に基づいて、実装されているメモリモジュール数或いは使用可能なメモリモジュール数と反比例的にバトリール動作を行なう周期を決定することを特徴とする請求項1または2記載のバトリール制御方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は記憶装置のソフトウェア対策であるバトリール制御方式に関する。

【0002】

【従来の技術】 複数のメモリモジュールから構成される記憶装置のソフトウェア対策として行なわれている従来のバトリール制御方式は図3の流れ図に示すものであった。

【0003】 図3に示すように、従来は、まず、中央処理装置により記憶装置を構成するメモリモジュールの最初のメモリモジュールの先頭アドレスからデータを読出す(ステップS31～S33)。記憶装置から読出されたデータはエラー訂正符号に従って1ビットエラーの検出、訂正及び2ビットエラーの検出を行なうECC(Error Correcting Code)エラー訂正回路に加えられ、エラー訂正が行なわれる。

【0004】そして、ECCエラー訂正回路によって1ビットエラーが検出され、訂正された場合(ステップS34がYESの場合)は、中央処理装置はその1ビットエラーが過去に発生したことの有る1ビットエラーか否かを1ビットエラーの履歴記憶部を参照して調べ、過去に発生したことの有る1ビットエラーの場合はハードエラーと判断し、過去に発生したことの無いエラーの場合はソフトウェアと判断する(ステップS35)。

【0005】そして、ソフトウェアであると判断した場合(ステップS35がYESの場合)は、中央処理装置は1ビットエラーの履歴記憶部にその1ビットエラーを登録し(ステップS36)、その後、ECCエラー訂正回路によってエラー訂正されたデータにエラー訂正符号を付加してメモリモジュールの元のアドレスに再書込みする(ステップS37)。これにより、1ビットのソフトウェアは修復される。

【0006】また、ハードエラーであると判断した場合(ステップS35がNOの場合)は、ハードエラーの発生回数を示すカウンタをカウントアップする(ステップS41)。

【0007】ステップS37或いはステップS41の処理が終了すると、ステップS33で読出したデータが、現在バトリール動作の対象としているメモリモジュールの最後のアドレスに格納されているデータか否かを判断する(ステップS38)。また、ステップS34の判断結果がNOの場合もステップS38の処理を行なう。

【0008】そして、ステップS38で最後のアドレスに格納されているデータでないと判断した場合は、現在のアドレスに「1」を加算して次のリクエストアドレスを生成し(ステップS39)、一定時間の待合せを行なった後(ステップS40)、上記した次のリクエストアドレスに格納されているデータを読出し、前述したと同様の処理を行なう(ステップS33)。ここで、バトリール動作はコンピュータシステムの運用中に行なうため、上記一定時間は通常のコンピュータシステム運用の妨げにならないようにあまり短すぎではない。

【0009】また、ステップS38で最後のアドレスに格納されているデータであると判断した場合は現在バトリール動作の対象としているメモリモジュールが最後のメモリモジュールであるか否かを判断する(ステップS42)。

【0010】そして、最後のメモリモジュールであると判断した場合(ステップS42がYESの場合)はステップS31の処理に戻り、最後のメモリモジュールでないと判断した場合(ステップS42がNOの場合)はバトリール動作の対象とするメモリモジュールを次のメモリモジュールとした後(ステップS43)、ステップS32の処理に戻る。

【0011】

【発明が解決しようとする課題】 上述したように、従来

のバトリール制御方式は、中央処理装置が1ビットエラーの履歴を取ったり、ソフトエラーか、ハードエラーかの判定を行ったり、データの再書き込みを行ったりしているため、中央処理装置に負荷がかかり、バトリール動作によってシステム性能が低下するという問題があった。

【0012】本発明の目的はバトリール動作によるシステム性能の低下を低く抑えることができるバトリール制御方式を提供することにある。

【0013】

【課題を解決するための手段】本発明は上記目的を達成するため、(A)複数のメモリモジュールと、該メモリモジュールに対する書き込みデータにエラー訂正符号を付加して前記メモリモジュールに書き込むエラー訂正符号付加手段と、前記メモリモジュールから読出されたデータに対してエラー訂正符号に従ったエラー訂正を行ない、出力するエラー訂正手段と、バトリール動作を制御するバトリール制御手段とを備え、該バトリール制御手段は前記メモリモジュールからデータを読出して前記エラー訂正手段に加え、前記エラー訂正手段から出力されたデータを前記エラー訂正符号付加手段に加えて元のアドレスに再書き込みさせるバトリール動作を前記各メモリモジュールの全アドレスにわたって順次周期的に行なうようにしたものである。

【0014】また、本発明は、無駄なバトリール動作によってコンピュータシステムの性能が低下するのを防ぐため、(B)前記各メモリモジュールが使用可能であるか否かを示す情報が格納される使用可能情報記憶手段を備え、前記バトリール制御手段はバトリール動作を前記使用可能情報記憶手段に使用可能であることを示す情報が格納されているメモリモジュールの全アドレスにわたって順次周期的に行なうようにしたものである。

【0015】また、本発明は、バトリール動作によるコンピュータシステムの性能低下を更に小さく抑えられるようにするため、(C)実装されているメモリモジュールを示す情報が格納される実装情報記憶手段を備え、前記バトリール制御手段は前記実装情報記憶手段或いは前記使用可能情報記憶手段の内容に基づいて、実装されているメモリモジュール数或いは使用可能なメモリモジュール数と反比例的にバトリール動作を行なう周期を決定するようにしたものである。

【0016】

【作用】(A)の構成に於いては、バトリール制御手段の制御によってメモリモジュールからデータが読出され、読出されたデータはエラー訂正符号によってエラー訂正を行なうエラー訂正手段に加えられる。エラー訂正手段から出力されたデータは、エラー訂正符号付加手段に加えられ、ここでエラー訂正符号が付加されて元のアドレスに再書き込まれる。このようなバトリール動作は全てのメモリモジュールの全アドレスに対して順次周期

的に行なわれる。

【0017】(B)の構成に於いては、各メモリモジュールが使用可能か否かを示す情報が格納されている使用可能情報記憶手段が設けられており、バトリール制御手段は各メモリモジュールの内、使用可能情報記憶手段に使用可能を示す情報が格納されているメモリモジュールに対してのみバトリール動作を行なう。

【0018】(C)の構成に於いては、各メモリモジュールが実装されているか否かを示す情報が格納されている実装情報格納手段が設けられている。バトリール制御手段は実装情報格納手段或いは使用可能情報記憶手段の内容によって示される実装されているメモリモジュールの数或いは使用可能なメモリモジュールの数が多くなる程バトリール動作を行なう周期を短くし、実装数が少なくなる程バトリール動作を行なう周期を長くする。

【0019】

【実施例】次に本発明の実施例について図面を参照して詳細に説明する。

【0020】図1は本発明の実施例のブロック図であり、データの読み書きが行なわれる4つのメモリモジュール1-0～1-3から構成されるメモリアレイ1と、書き込みデータセクタ5と、ECC生成回路6と、書き込みデータレジスタ7と、読出しデータセクタ8と、読出しデータレジスタ9と、ECCエラー訂正回路10と、使用可能情報レジスタ15と、実装情報レジスタ20と、バトリール制御部30とから構成されている。

【0021】読出しデータセクタ8はバトリール制御部30から出力される制御信号cに従ってメモリモジュール1-0～1-3からの読出しデータの内の1つを選択する。

【0022】読出しデータレジスタ9は読出しデータセクタ8から出力された読出しデータを一時保持する。

【0023】ECCエラー訂正回路10は読出しデータレジスタ9に保持されているデータにエラー訂正符号により訂正可能な1ビットエラーが存在する場合はそのエラーを訂正して出力し、訂正不能な2ビットエラーが存在する場合は上位装置へエラー通知を行なうと共に読出しデータレジスタ9に保持されているデータをそのまま出力する。また、読出しデータレジスタ9に保持されているデータにエラーが含まれていない場合はそのまま出力する。

【0024】書き込みデータセクタ5はバトリール制御部30から出力される制御信号bに従ってECCエラー訂正回路10から出力される読出しデータ200と、上位装置から出力される書き込みデータ100との内の一方を選択する。

【0025】ECC生成回路6は書き込みデータセクタ5によって選択されたデータに1ビットエラーの訂正、2ビットエラーの検出を行なうためのエラー訂正符号を付加する。

10

20

30

40

50

【0026】書き込みデータレジスタ7はECC生成回路6によってエラー訂正符号が付加された書き込みデータを一時保持する。

【0027】使用可能情報レジスタ15はメモリモジュール1-0~1-3対応のビットA0~A3を有し、各ビットA0~A3には各メモリモジュール1-0~1-3が使用可能か否かを示す使用可能情報が格納される。使用可能情報は中央処理装置等の上位装置によって格納される。

【0028】実装情報レジスタ20はメモリモジュール1-0~1-3対応のビットB0~B3を有し、各ビットB0~B3にはメモリモジュール1-0~1-3が実装されているか否かを示す実装情報が格納されている。実装情報は中央処理装置等の上位装置によって格納される。

【0029】バトリール制御部30は制御信号aによりメモリアレイ1の読出し、書き込みを制御し、制御信号bにより書き込みデータセクタ5を制御し、制御信号cにより読出しデータセクタ8を制御することにより、メモリアレイ1から読出したデータをメモリアレイ1に再書き込みするバトリール動作を制御する。更に、バトリール制御部30は使用可能情報レジスタ15の内容に基づいてバトリール動作を行なうメモリモジュールを決定し、実装情報レジスタ20の内容に基づいてバトリール動作を行なう時間間隔を決定する。

【0030】図2は図1の動作を説明する流れ図であり、以下各図を参照して本実施例の動作を説明する。

【0031】先ず、バトリール制御部30は実装情報レジスタ20の内容に基づいて、即ち実装されているメモリモジュールの数に基づいてバトリール動作を行なう時間間隔を決定する(ステップS1)。その際、バトリール制御部30は実装されているメモリモジュールの数が少ない程、バトリール動作を行なう時間間隔を長いものにする。尚、バトリール動作を行なう時間間隔の決定方法としては、例えば、固定値を実装メモリモジュール数で割った値にする等の方法を取ることができる。

【0032】ここで、実装されているメモリモジュールの数が少ない程、バトリール動作を行なう時間間隔を長くするのは、次の理由からである。即ち、実装モジュール数が少ない場合にバトリール動作の時間間隔を長くしてバトリール動作が一巡りする時間を、例えば、実装モジュール数が多い場合と同じにすると、システム運用への割込み頻度が小さくなり、システム運用への妨げの比率が小さくなるからである。

【0033】ステップS1の処理が終了すると、バトリール制御部30はバトリール動作を行なうメモリモジュールをメモリモジュール1-0とし(ステップS2)、その後、使用可能情報レジスタ15を参照してメモリモジュール1-0が使用可能か否かを判断する(ステップS3)。ここで、メモリモジュール1-0が使用可能か

を判断するのは、バトリール動作はコンピュータシステムが使用しているメモリモジュールに対してのみ行なえば良いからであり、このようにすることにより、無駄なバトリール動作によってシステム運用が妨げられることがなくなる。

【0034】そして、ステップS3でメモリモジュール1-0が使用可能でないと判断した場合は、バトリール動作の対象とするメモリモジュールを次のメモリモジュール1-1とした後(ステップS9)、再びステップS3の処理を行なう。

【0035】また、ステップS3でメモリモジュール1-0が使用可能であると判断した場合は、バトリール制御部30はリクエストアドレスを「0」にした後(ステップS4)、ステップS5の処理を行なう。

【0036】ステップS5に於いて、バトリール制御部30は書き込みデータセクタ5に読出しデータ200を選択させる制御信号b、読出しデータセクタ8にメモリモジュール1-0からの読出しデータを選択させる制御信号cを加え、更に、メモリアレイ1にメモリモジュール1-0のリクエストアドレス「0」に格納されているデータの読出しを指示する制御信号a、書き込みデータレジスタ7に保持されているデータをメモリモジュール1-0のリクエストアドレス「0」に書き込むことを指示する制御信号aを順次加えることにより、データの読出し、再書き込みを行なう。

【0037】即ち、バトリール制御部30からメモリモジュール1-0のリクエストアドレス「0」に格納されているデータの読出しを指示する制御信号aが出力されることにより、メモリモジュール1-0のアドレス「0」に格納されているデータが読出される。このデータはデータセクタ8、読出しデータレジスタ9を介してECCエラー訂正回路10に加えられる。そして、訂正可能な1ビットエラーが存在する場合はエラー訂正されてから出力され、エラーが存在しない場合及び訂正不能な2ビットエラーが存在する場合はそのまま出力される。

【0038】ECCエラー訂正回路10から出力された読出しデータ200は書き込みデータセクタ5を介してECC生成回路6に加えられ、ここでエラー訂正符号が付加された後、書き込みデータレジスタ7に格納される。

【0039】その後、バトリール制御部30がメモリモジュール1-0のアドレス「0」にデータを書き込むことを指示する制御信号aを出力することにより、メモリモジュール1-0のアドレス「0」に、書き込みデータレジスタ7に保持されていたデータが再書き込みされる。

【0040】上記した処理が行なわれることにより、メモリモジュール1-0のアドレス「0」に1ビットのソフトエラーが存在しても、ECCエラー訂正回路10でエラー訂正されたデータがメモリモジュール1-0のアドレス「0」に再書き込みされるので、上記ソフトエラー

は修復される。

【0041】ステップS5の処理が終了すると、バトリール制御部30はステップS5でデータの読出し、書込みを行なったアドレスが現在バトリール動作の対象になっているメモリモジュール1-0の最後のアドレスであるか否かを判断する(ステップS6)。

【0042】そして、ステップS6で最後のアドレスでないと判断した場合は、現在のリクエストアドレス「0」に「1」を加算して次のリクエストアドレス「1」を生成する(ステップS7)。

【0043】その後、バトリール制御部30はステップS1で決定した時間間隔だけ待合せを行ない、待合せが終了すると、ステップS5の処理に戻る。

【0044】また、ステップS6で最後のアドレスであると判断した場合は、現在バトリール動作の対象としているメモリモジュール1-0が最後のメモリモジュール1-3であるか否かを判断する(ステップS10)。

【0045】そして、ステップS10で最後のメモリモジュール1-3でないと判断した場合はバトリール動作の対象とするメモリモジュールを次のメモリモジュール1-1にした後(ステップS11)、ステップS4の処理に戻る。

【0046】また、ステップS10で最後のメモリモジュール1-3であると判断した場合は、ステップS2の処理に戻る。

【0047】尚、上述した実施例では実装情報レジスタ20の内容、即ち実装されているメモリモジュール数に基づいてバトリール動作を行なう時間間隔を決定するようにしたが、使用可能情報レジスタ15の内容、即ち使用可能なメモリモジュール数に基づいてバトリール動作を行なう時間間隔を決定するようにしても良い。

【0048】使用可能なメモリモジュール数に基づいてバトリール動作を行なう時間間隔を決定する場合も、実装メモリモジュール数に基づいて時間間隔を決定する場合と同様に、使用可能なメモリモジュール数が少ない程、バトリール動作を行なう時間間隔を長くするものである。また、使用可能情報レジスタ15の内容に基づいて時間間隔を決定する場合は、コンピュータシステムの運用中に使用可能なメモリモジュール数が変化する場合があるので、例えば、バトリール動作が一巡りする毎にバトリール動作を行なう時間間隔を決定するようにすることが望ましい。

【0049】

【発明の効果】以上説明したように、本発明は、書込み

データにエラー訂正符号を付加してメモリモジュールに書込むエラー訂正符号付加手段と、メモリモジュールから読出されたデータに対してエラー訂正符号に従ったエラー訂正を行なうエラー訂正回路と、バトリール動作を制御するバトリール制御手段とを設け、バトリール制御手段の制御によりメモリモジュールから読出したデータをエラー訂正回路に加えてエラー訂正した後、エラー訂正符号付加手段に加えてエラー訂正符号の付加された訂正済みのデータを元のアドレスに再書込みさせるものであり、従来例のように、中央処理装置で1ビットエラーの履歴を取ったり、ソフトエラー、ハードエラーの判別を行なったり、データの書込みを行なったりすることがないので、中央処理装置の負荷が低減し、バトリール動作によってコンピュータシステムの性能が低下する割合を低く抑えることができる効果がある。

【0050】また、本発明は、使用可能情報記憶手段の内容に基づいて使用可能なメモリモジュールに対してのみ、バトリール動作を行なうようにしたものであるので、無駄なバトリール動作によりコンピュータシステムの運用が妨げられることがない効果がある。

【0051】更に、本発明は、使用可能情報記憶手段或いは実装情報記憶手段の内容、即ち実装されているメモリモジュール数或いは使用可能なメモリモジュール数に基づいてバトリール動作を行なう時間間隔を決定しているので、バトリール動作によるコンピュータシステムの性能低下を更に小さく抑えられる効果がある。

【図面の簡単な説明】

【図1】本発明の実施例のブロック図である。

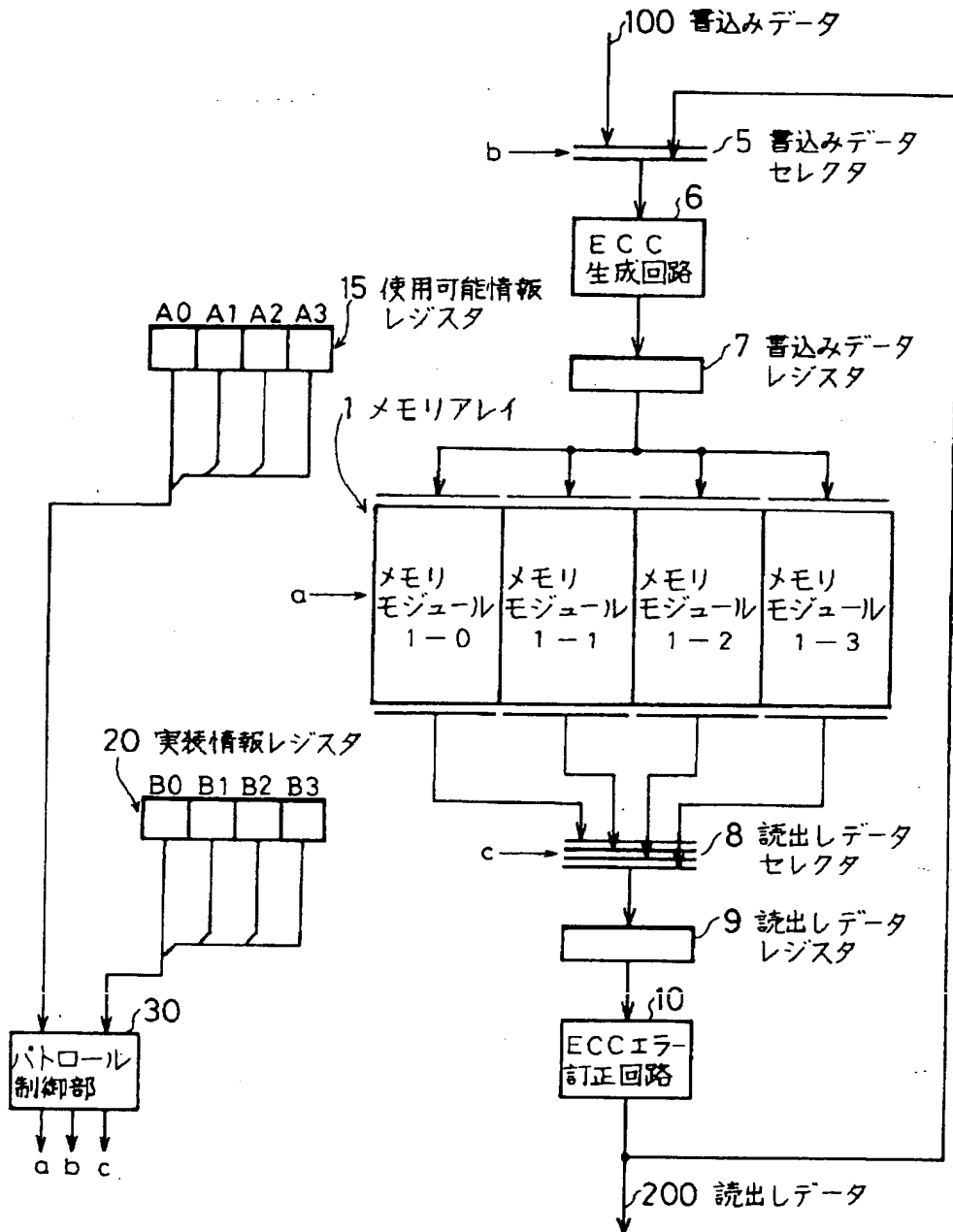
【図2】図1の処理例を示す流れ図である。

【図3】従来例の処理例を示す流れ図である。

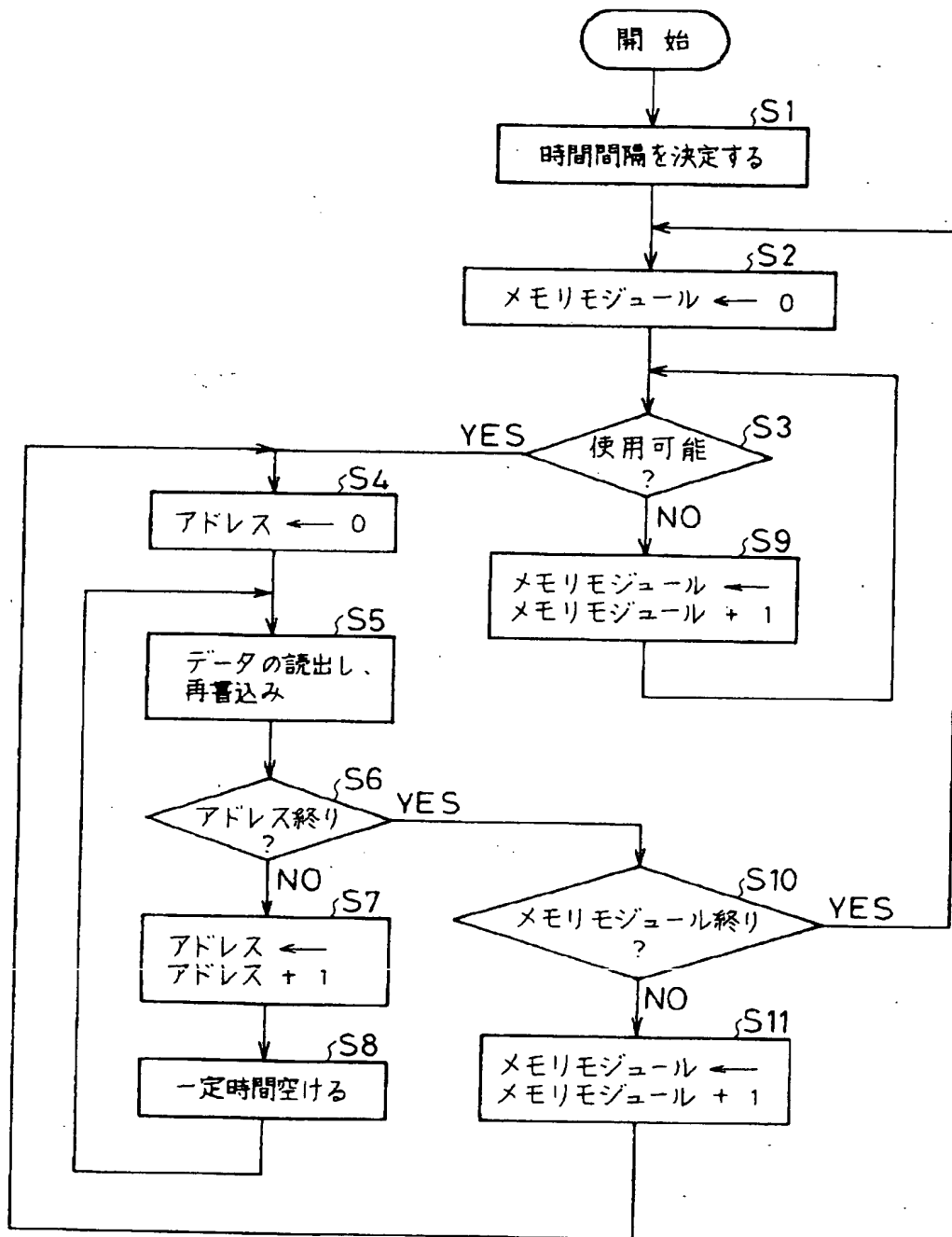
【符号の説明】

1…メモリアレイ
1-0～1-3…メモリモジュール
5…書込みデータセクタ
6…ECC生成回路
7…書込みデータレジスタ
8…読出しデータセクタ
9…読出しデータレジスタ
10…ECCエラー訂正回路
15…使用可能情報レジスタ
20…実装情報レジスタ
30…バトリール制御部
100…書込みデータ
200…読出しデータ

【図1】



【図2】



【図3】

